

# 基于 CPLD 的导弹控制计算机测试信号实时仿真

彭顺堂<sup>1,2</sup>, 周晓东<sup>1</sup>, 徐登福<sup>3</sup>, 邱传良<sup>2</sup>

(1. 海军航空工程学院控制工程系, 山东烟台, 264001; 2. 66440 部队, 河北石家庄, 050000;  
3. 91049 部队, 山东青岛, 266102)

**摘要:** 采用复杂可编程逻辑器件 (CPLD) 实现了导弹装备控制计算机测试信号的实时仿真, 介绍了仿真信号的形成原理和电路设计方法, 并给出了部分电路和仿真波形。结果表明, 采用 CPLD 技术可以简化电路的设计, 提高电路的仿真精度和可靠性。

**关键词:** 复杂可编程逻辑器件; 导弹装备; 控制计算机; 信号仿真

**中图分类号:** TP 391.9

**文献标识码:** A

在导弹装备控制计算机的训练和技术维护中用仿真信号代替实弹信号是非常必要的, 它既可以提高装备使用寿命, 又可以增强测试中的安全性, 给装备训练及技术维护带来很大便利。控制计算机的信号种类较多, 关系复杂, 利用小规模集成电路需要复杂的电路才能实现, 且可靠性较差。而利用复杂可编程逻辑器件 (CPLD) 进行设计, 仿真的核心电路由 CPLD 构成, 既可以简化电路的设计, 又可以提高电路的仿真精度和可靠性<sup>[1]</sup>。

## 1 仿真信号及形成原理

通过对装备的测试信号进行分析, 可将仿真信号分为: ① 400Hz 正弦信号; ② 150kHz 连续脉冲信号; ③ 选通脉冲 1-5, 4-8; ④ 60/100Hz 脉冲信号, 受加电时间控制, 加电 2s 内为 60Hz, 2s 后为 100Hz; ⑤ 30/15Hz 脉冲信号, 受外加信号控制; ⑥ 60Hz 连续脉冲信号; ⑦ 1200Hz 调制脉冲, 受 30/15Hz 脉冲信号调制; ⑧ 正弦噪声信号 (目标信息), 受目标状态控制, 有目标时为正弦输出, 无目标时为噪声输出; ⑨ 目标信息信号。

对上述信号的仿真可采用如图 1 所示的电路结构。由数据接收电路监视和截获目标模拟设备的串行数据; 译码电路则将截获的数据译成不同的目标状态, 输出目标速度指示信号, 对脉冲产生和信息形成电路实施控制; 由脉冲产生和信息形成电路产生各种脉冲信号的目标信息的数据; 最后由电压变

换和 D/A 转换电路形成仿真输出。两个计数器用于产生各种同步时钟和计数输出, 为各功能电路提供定时基准和同步数据。图 1 包含了多种计数器、触发器、移位寄存器、数据锁存器、译码器等, 逻辑复杂。但采用 CPLD 技术, 可将复杂的逻辑集成到一块 CPLD 芯片上, 使系统设计简化、体积减小, 且使系统的硬件功能可实时修改, 具有极强的可扩展性、设计资源可重复利用性和设计成果保密性。本文采用 xilinx 公司生产的 xc95216 型产品, 其内部包含有 216 个宏单元, 4800 个可用的系统门, 可满足上述信号仿真对芯片的要求<sup>[2-3]</sup>。

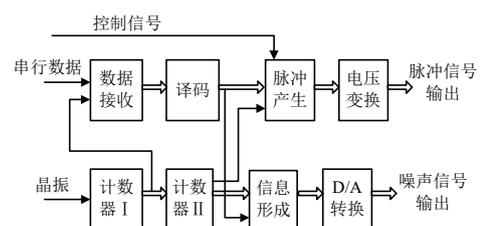


图 1 仿真电路结构图

## 2 仿真信号的实现

利用 CPLD 技术实现前述信号的仿真, 关键是构造 CPLD 芯片的逻辑。根据信号形成原理和 CPLD 设计原则, 将芯片要完成的功能划为功能模块, 并逐步细化, 形成具有层次结构的设计文件, 再通过逻辑综合、仿真和下载, 实现芯片的逻辑。图 2 为 xilinx-projectnavigator 平台上芯片逻辑的层次结构。

收稿日期: 2006-04-17

作者简介: 彭顺堂 (1966-), 男, 工程师, 博士; 周晓东 (1940-), 男, 教授, 博导, 大学。

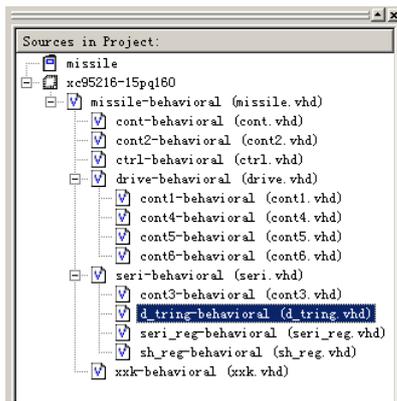


图2 CPLD芯片逻辑结构

本文采用 VHDL 语言描述方式。整个设计分为 3 层：顶层 (missile) 为整个芯片逻辑的描述，主要是图中数据接收、译码、脉冲产生、计数器I、计数器II、信息形成等 6 个模块间的信号关系及芯片引脚定义。第二层是 6 个功能模块的详细逻辑描述，其中数据接收 (seri) 和脉冲产生 (drive) 模块包含多个子模块 (第三层模块)，侧重于描述各子模块间的信号关系。第三层包括移位寄存器 (sh\_reg)、数据锁存器 (seri\_reg) 及各种进制的计数器，主要是数据关系的描述。限于篇幅，这里仅对信息形成、数据接收和脉冲产生模块加以讨论，以说明芯片逻辑的实现原理<sup>[3]</sup>。

(1) 信息形成模块

信息形成模块在有目标时输出按正弦规律变化的数据，无目标时产生限定范围的随机数据。根据仿真的精度要求，每个正弦周期取 56 点数据进行 D/A 转换，则输出数据的变化规律为

$$X(M)=int(112sin(2\pi/56)M)+113, M=0,1,\dots,55。$$

若 M 为图 1 中计数器II的输出，那么 X 就是对 M 的译码，即正弦数据是有目标时 M 的译码输出。从信号仿真的实际需求出发，信息形成模块输出的随机数据以 55 点为周期，

$$X(M)=int(23RAND()), M=0,1,\dots,55,$$

即随机数据是无目标时 M 的译码输出。因此，信息形成模块是一个具有 112 种情况的复杂译码器。采用 VHDL 语言，只要将 X 与 M 的数据对应关系顺序给出，即可实现相应的译码功能，其 VHDL 语言描述如下：

```
entity xxk is
port ( m:in integer range 0 to 55;
      xk:in std_logic;
```

```
x:out integer range 0 to 233 ) ;
end xxk;
architecture Behavioral of xxk is
begin
x<=112 when ( m=0 and xk='1' ) else
124 when ( m=1 and xk='1' ) else
...
100 when ( m=55 and xk='1' ) else
10 when ( m=0 and xk='1' ) else
5 when ( m=1 and xk='0' ) else
9 when ( m=63 and xk='0' ) else
19;
end Behavioral;
```

(2) 数据接收模块

数据接收模块可以 9600bps 的波特率接收计算机发出异频数据，由移位寄存器 (I<sub>4</sub>)、数据锁存器 (I<sub>3</sub>)、六进制计数器 (I<sub>1</sub>、I<sub>2</sub>) 和 D 触发器 (I<sub>5</sub>) 等子模块组成，子模块间的信号连接关系如图 3 所示。

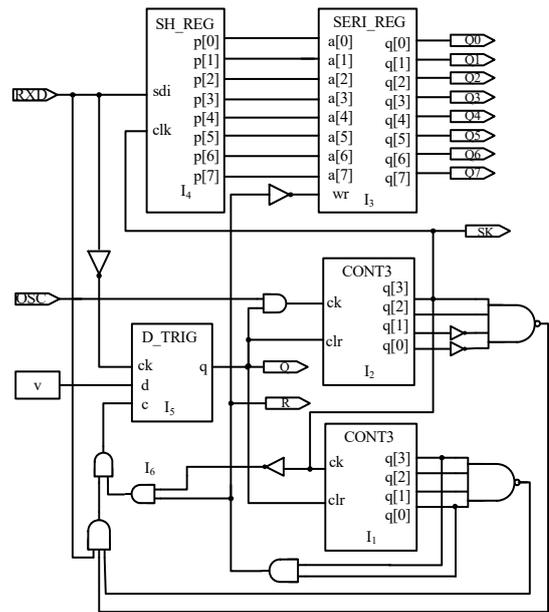


图3 数据接收电路原理图

复位状态下，I<sub>2</sub>、I<sub>1</sub> 的输出均为 0，命令接收模块处于静止状态。串行数据到来，其起始位的下跳边使信号 Q 置 1，模块激活，I<sub>1</sub> 开始计数，到该位中间时，I<sub>1</sub> 计数到 8，信号 SK 上跳，将起始位移入 I<sub>4</sub>，同时 I<sub>1</sub> 加 1；之后，每次 SK 上跳时将数据移入一位，I<sub>1</sub> 加 1；当 I<sub>1</sub> 计数至 9 时，8 位数据正好全部移入 I<sub>4</sub>，同时 R 变高；I<sub>2</sub> 继续计数至溢出时，SK 变低，I<sub>6</sub> 输出变高，I<sub>5</sub> 清零，其输出 Q 又将 I<sub>2</sub> 和 I<sub>1</sub> 清

零，R 下跳，将 I<sub>4</sub> 中的 8 位数据写入 I<sub>3</sub>，数据接收完成，模块重新回到复位状态。

图 4 所示为相关的功能仿真波形。

(3) 脉冲产生模块

脉冲产生模块受外控电压和加电时间的控制，产生各种频率可控或受调制的脉冲信号，主要由计数器、D 触发器和信号选择电路组成，其结构如图

5 所示，其功能仿真波形如图 6 所示。

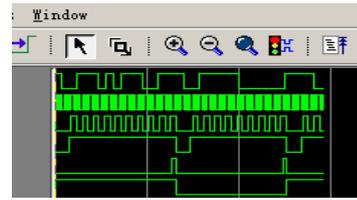


图 4 数据接受模块功能仿真波形图

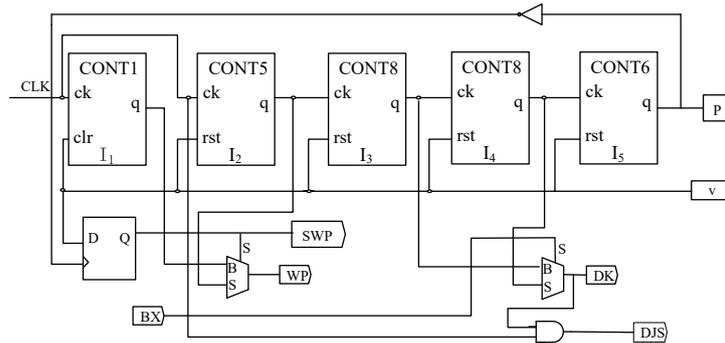


图 5 脉冲产生电路原理图

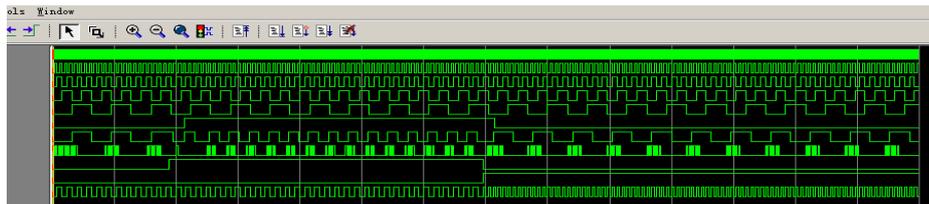


图 6 脉冲产生模块功能仿真波形图

3 结论

本文采用 CPLD 技术，将异步数据接收、多种频率控制、正弦和噪声数据产生电路集成在一块 CPLD 芯片，实现了某型导弹装备控制计算机测试信号的实时仿真。

实践证明采用 CPLD 技术简化了电路结构，缩短了电路调试时间，提高了电路的可靠性和仿真信号的抗干扰能力。

参考文献：

- [1] Cui Shaohui, Meng Chen, Yang Suochang. Generation and control of information signal in missile testing system[C]//Proc. of ISTM/2001, Beijing: International Academic publisher, 2001:1313-1316
- [2] 张凯, 林伟. VHDL 实例剖析[M]. 北京: 国防工业出版社, 2004:121-126
- [3] 林明权. VHDL 数字控制系统设计范例[M]. 北京: 电子工业出版社, 2003:41-59

Real-time simulation of missile control computer test signals based on CPLD

PENG Shuntang<sup>1, 2</sup>, ZHOU Xiaodong<sup>1</sup>, XU Dengfu<sup>3</sup>, QIU Chuanliang<sup>2</sup>

(1. Department of Control Engineering, NAEI, Yantai, Shandong, 264001; 2. The 66440<sup>th</sup> Unit of PLA, Shijiazhuang, Hebei, 050003; 3. The 91049<sup>th</sup> Unit of PLA, Qingdao, Shandong, 266102)

**Abstract:** The real-time simulation of missile equipment control computer testing signals is implemented with CPLD. The principle that generates the simulation signals and the design methods are introduced. As a result, the design of the circuits are reduced, the simulation precision and the reliability are increased.

**Key words:** complex programmable logic device (CPLD); missile equipment; control computer; signal simulation