

# SCAN90CP02 型 LVDS 交叉点开关功能及应用

潘莉莉<sup>1</sup>, 张明敏<sup>2</sup>, 蔡绪涛<sup>3</sup>

(1. 海军工程大学研究生管理大队; 2. 海军工程大学电子工程学院, 湖北武汉, 430033;  
3. 海军航空工程学院研究生管理大队, 山东烟台, 264001)

**摘要:** SCAN90CP02 是美国国家半导体公司最新推出的 LVDS 超高速交叉点开关, 其可编程的预增强功能可应用于高损耗的电路板及电缆连接中以增强信号驱动能力, 而且还具备符合 IEEE 1149.6 标准的测试能力。文中详细介绍该电路的功能、结构和特点, 同时给出测试特性。

**关键词:** 可编程; 差分信号; JTAG; 可测试性

**中图分类号:** TP 274+.5

**文献标识码:** A

LVDS (Low Voltage Differential Signaling) 是一种低摆幅的差分信号接口标准, 它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbps 或更高的速率传输, 其低压幅和低电流驱动输出实现了低噪声和低功耗。LVDS 已广泛应用于接口器件和现场可编程门阵列 (FPGA)、专用集成电路 (ASIC) 中, 采用 LVDS 的系统成功实现了高速互连。然而, 并非所有的 LVDS I/O 接口都有良好的性能, 一些器件如光纤接口或 ASIC 的 LVDS I/O 可能不像标准器件中的 LVDS I/O 那样适合在 PCB 板上驱动差分迹线 (trace)。由于 PCB 板布局存在的问题, 甚至导致设计良好的标准器件的信号传输质量变差。当用光纤或 ASIC 等系统核心器件时, 有时不可能使器件尽可能靠近连接器放置, 这样会造成迹线变形、反射增大、损耗增加<sup>[1]</sup>。为消除互连中存在的问题, 需在器件间增加一级体积小巧的超高速交叉点开关作为缓冲器, 并具备符合 IEEE 1149.6 标准的测试能力用于边界扫描测试。本文中将对 LVDS 超高速交叉点开关 SCAN90CP02 的功能及应用进行介绍。

## 1 边界扫描的优势

边界扫描之所以成为其他测试和编程技术的板级和系统级基础, 一个关键的必要因素是其支持环境的功能性和易用性。凭借强有力的边界扫描支持系统, 设计、生产和使用部门不仅能够检查短路和开路—这是边界扫描互联测试起先的主要目标—也

在同样的边界工具环境下实施一系列其他测试和系统内编程功能。这提高了效率, 降低了开发和生产成本<sup>[2]</sup>。用旧的方法, 为同一个设计要做 3 次测试: 首先是原型测试; 然后是制造测试; 最后是现场修正。现在, 工程师们可以用边界扫描做为贯串于整个产品生命周期的统一的测试方法。

边界扫描在线路板测试的所有方面都能带来有益的效果。首先, 测试准备时间缩短了, 这是因为基于扫描的测试是高度自动化的, 在线路板布局之前, 测试就可以被很快地准备好, 并预先评估其测试效果; 第二, 因为边界扫描不需要很多的物理测试点, 它可以减少或省去用于夹具的费用, 并简化线路板的布局; 再者, 此项技术可达到较高的测试质量和测试重复性, 并减少测试次数; 除此之外, 边界扫描可以进行比较精确的查错, 从而节省时间; 最后, 以投资额而言, 边界扫描设备的成本要比传统的在线测试 (ICT) 小一个数量级。<sup>[3]</sup>

针对高级数字网络和 IBIST (互联内置自测试) 技术的 IEEE 1149.6 标准是一种新开发出来的方法, 用于测试和验证高速串行总线 (serial buses), 如 Gigabit 以太网、PCI Express、光纤通道, 以及其他交流耦合 (AC-Coupled) 连结的 LVD 信号与每秒 10Gigabits 以上 (>10Gb/s) 速度的串行总线。<sup>[4]</sup>这两方面的标准都利用了系统的边界扫描基础架构。即便最狂热的边界扫描的支持者, 十多年前也不可能预见到如此的结果。

IEEE 1149.6 标准确定了把系统的边界扫描能力应用于测试带有不同信号的一系列高速互联总线的一种方法, 比如应用于 Gigabit 以太网、光纤通道等。结果, 合格的边界扫描环境既能实施对直流耦合 (DC-coupled) 总线的传统测试功能, 又能执行对高速交流耦合总线的测试, 后者在某些类型的计算和通信系统中已渐成主流。

## 2 超高速交叉点开关 SCAN90CP02 介绍

SCAN90CP02 型电路是美国国家半导体公司推出的 1.5Gb/s 的 2×2 低压差分信号传输模拟交叉点开关。其高速数据通路和直通引脚可使电路内部的抖动达到最小。当信号在有损的背板和电缆上传输时, 其可配置的预增强功能 (0/25%/50%/100% 可选) 能克服外部 ISI (Inter Symbol Interference, 符号间干扰) 抖动的影响。其差分输入可连接到 LVDS 和 Bus LVDS 信号上, 也可与共模逻辑 (CML) 和低电压正射极耦合逻辑 (LVPECL) 等信号电平相连。SCAN90CP02 要用非块式交叉点结构, 可配置为 1:2 时钟或数据分配器、2:1 冗余复用器、交叉功能及用于信号增强和短线隐藏的双缓冲器。图 1 是 SCAN90CP02 的内部框图。[5]

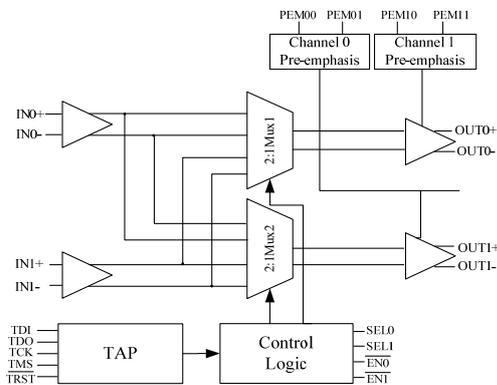


图 1 SCAN90CP02 结构框图

SCAN90CP02 集成的 IEEE 1149.1 (JTAG) 和 1149.6 测试输入电路 TAP (Test Access Port) 支持单端 LVTTTL/CMOS 和差分 LVDS PCB 互连的可测试性。这些功能有助于缩短测试时间, 降低测试与开发方面的成本。电路采用 3.3V 电源、CMOS 工艺和 LVDS I/O, 确保其在整个工业级温度范围 (-40~+85°C) 内实现高性能和低功耗。

SCAN90CP02 可以真正地消除抖动, 从而提高系统的可靠性, 使用户能用成本较低的线路实现互

连。由于 SCAN90CP02 设有预增强功能, 因此不但可以执行正常的开关功能, 而且可作为缓冲器使用, 以便将现有的 FPGA、ASIC 及串行/解串器 (SerDes) 等的 LVDS 信号放大。另外, 该电路的 LVDS 输出不支持多站式 (multidrop) BLVDS 环境。

IEEE 1149.6 是最近通过采纳的一个技术标准, 让业界可以测试先前无法测试的交流电耦合互连线路<sup>[6]</sup>。由于许多高速的 LVDS 互连线路都采用交流电耦合 (即电容耦合) 的设计, 以便消除驱动器与远程接收器之间的信号偏移, 因此确保新技术能够支持 1149.6 标准便显得非常重要。

SCAN90CP02 芯片可以支持的测试范围包括 IEEE 1149.1 (JTAG)、IEEE 1149.6 以及由 IEEE 1149.1 启动的错误插入补充功能 (以便核实系统是否出现故障以及是否采用冗余模式)。这些功能有助缩短测试时间, 以及减低测试与开发方面的成本。

SCAN90CP02 特点: ① 每通道的传输速率达 1.5Gb/s; ② 低功耗, 在双中继器模式下, 最高速率时的电流为 70mA; ③ 低输出抖动; ④ 可配置的预增强功能 (0/25%/50%/100%) 可驱动有损耗的背板和电缆; ⑤ 具有直通 (Flow-through) 引脚引出线; ⑥ LVDS/BLVDS/CML/LVPECL 输入, LVDS 输出; ⑦ 适用 IEEE 1149.1 和 1149.6 标准; ⑧ 单电源 3.3V 供电; ⑨ 可对输入和输出进行单独控制以降低功耗; ⑩ 工业级温度范围 (-40~±85°C)。

SCAN90CP02 采用 28 引脚 LLP 封装或 32 引脚 LQFP 封装。

电路的预增强功能用于补偿远距离传输或者有损耗的传输媒质。为使功耗最小, 电路为每个输出提供了独立的引脚。而且预增功能是可编程设备的。

## 3 板级和系统级故障监测

如果要测试一个系统的故障容错能力, 需要在—一个可控的模式下给系统插入故障并观察系统的响应。插入故障, 干扰正常的操作模式, 用于检验系统的容错性非常有效, 当某些故障条件存在或是连接有问题时, 确认故障的发生条件非常重要。[7]

某一位 (bit) 信号被拉低或被拉高是典型故障条件, 这种故障认为是“stuck-at”故障, 对于一个故障容错的应用应能插入“stuck-at”故障作为故障插入和故障恢复的策略。

在故障容错系统设计中, SCAN90CP02 能通过

IEEE1149.1 (JTAG) 端口插入典型的连接故障, stuck-at 特性可以使用户在正常操作时不用考虑在外部引脚上的逻辑值。

Stuck-at 被认为具有 IEEE1149.1EXTEST 指令相同的功能, 可以模仿上拉或下拉故障, 用于故障检测和隔离。对于一个输入, 需要模仿短路到 VDD 或 VSS, 就像一个错误的反向电流倒灌。对于输出, 短路到 VDD 或是 VSS, 错误的电流驱动可被模仿。三态的输出也可模仿一个开放的电流接收输入, 这需强制三态控制输出为适当的值来实现。如果三态控制管脚被指定, 输出就不能被强制为 1 或 0。

指令和数据被交替通过 IEEE1149.1 接口进入器件用于控制 stuck-at 状态。SA、SA\_PRELOAD 和 SA\_BYPASS 与该状态有关。SA 和 SA\_PRELOAD 访问 stuck-at 数据寄存器, 而 SA\_BYPASS 访问 BYPASS 寄存器。只有当 SA 和 SA\_BYPASS 条件有效时 stuck-at 才有效。每个输入输出在 stuck-at 状态寄存器中有两个相关的位, 一个位用于指定要被驱动的数据值, 一个用于控制。当 SA 和 SA\_BYPASS 都有效, TAP 状态机在 SHIFT-DR 状态时, 信息交替进入 stuck-at 状态寄存器。当 TAP 进入 UPDATE-DR 状态, 更新寄存器被锁定<sup>[8]</sup>。见图 2。

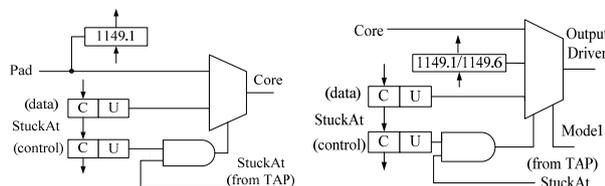


图 2 stuck-at 输入、输出单元

故障值可任意组合被强制输出在任何管脚上, 每次输出条件改变时, TRST 须被判定或是不判定。

## 4 结束语

如今, 任何趋向于使用高密度线路组装件 (例如 BGA) 的工业, 都普遍采用 IEEE1149 标准。在航空电子、航天、国防、通信、医学电子等行业中有许多边界扫描的使用者。

## 参考文献:

- [1] 杨士元. 数字系统得故障诊断与可靠性设计[M]. 北京: 清华大学出版社, 2000:149-151
- [2] 陈光禹, 潘中良. 可测试性设计技术[M]. 北京: 电子工业出版社, 1997:46-62
- [3] 陈光禹. 数字系统得故障诊断及可测试设计[M]. 成都: 电子科技大学出版社, 2001:165-197
- [4] Alfred L Crouch. Design-for-Test for Digital IC's and Embedded Core Systems[M]. 北京: 中国电力出版社, 2004:241-311
- [5] National Semiconductor, SCAN90CP02 1.5 Gbps 2x2 LVDS Crosspoint Switch with Pre-Emphasis and IEEE 1149.6[EB/OL]. [2005-09] Http://www.National.com
- [6] 1149.6 IEEE Standard for Boundary-Scan Testing of Advanced Digital Networks[S]. New York, USA. The Institute of Electrical and Electronics Engineers. Inc. 2003:1-10
- [7] Miron Abramovici, Melvin A Breuer, Arhrur D friedman. Digital System Testing and Testable Design[M]. 北京: 清华大学出版社, 2003:343-412
- [8] National Semiconductor, SSCAN90CP02 Design for Test Features[EB/OL]. [2005-09] Http://www.National.com

## Function and application of SCAN90CP02 LVDS crosspoint switch

PAN Lili<sup>1</sup>, ZHANG Mingmin<sup>2</sup>, CAI Xutao<sup>3</sup>

(1. Graduate Students' Brigade of NEU; 2. Electronic Engineering College, Naval University of Engineering, Wuhan, Hubei, 430033; 3. Graduate Students' Brigade of NAEI, Yantai, Shandong, 264001)

**Abstract:** SCAN90CP02 is billed as the world's first LVDS crosspoint switch with programmable pre-emphasis and IEEE1149.6 testability from National Semiconductor Corporation of U.S.A. SCAN90CP02's pre-emphasis feature boosts the signal for improved data integrity across lossy backplanes and cables. In this paper, the functions, structure and features of SCAN90CP02 are described, and the design for Test Features is given out.

**Key words:** programmable; differential signal; JTAG; testability